

CLIPPEDIMAGE= JP406075887A  
PAT-NO: JP406075887A  
DOCUMENT-IDENTIFIER: JP 06075887 A  
TITLE: POLLING INTERVAL DETERMINING SYSTEM

PUBN-DATE: March 18, 1994

INVENTOR-INFORMATION:

NAME  
FUKUI, EIICHI  
MISE, TOSHIRO  
OKADA, KAZUO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC WORKS LTD	N/A

APPL-NO: JP04227598  
APPL-DATE: August 26, 1992

INT-CL\_(IPC): G06F013/00; G06F013/366

ABSTRACT:

PURPOSE: To provide the polling interval determining system which can execute an efficient communication, in the system for executing an inter-CPU communication through a dual port RAM by polling plural sub-CPU's with one main CPU.

CONSTITUTION: A table 6 for storing the number of times of generation of a data transmitting request from respective sub-CPU's 2a, 2b, and a polling interval changing means for setting a polling interval so as to shorten a polling interval to the sub-CPU in which the number of times of generation of the data transmitting request is large by referring to the table 6 are provided on a main CPU 1 side. In accordance with the generation frequency of the transmitting request of each sub-CPU 2a, 2b, the main CPU 1 can determine a polling interval for referring to the sub-CPU, therefore, data can be transmitted and received efficiently, and the throughput of the whole system is improved.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-75887

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 13/00

13/366

識別記号

庁内整理番号

F I

技術表示箇所

3 5 7 B 7368-5B

5 1 0 C 9072-5B

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-227598

(22)出願日 平成4年(1992)8月26日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 福井 栄一

大阪府門真市大字門真1048番地 松下電工株式会社内

(72)発明者 三瀬 敏朗

大阪府門真市大字門真1048番地 松下電工株式会社内

(72)発明者 岡田 一穂

大阪府門真市大字門真1048番地 松下電工株式会社内

(74)代理人 弁理士 倉田 政彦

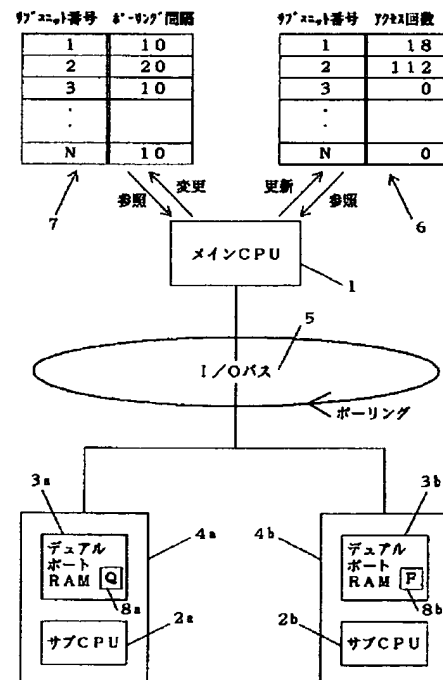
(54)【発明の名称】 ボーリング間隔決定方式

(57)【要約】

【目的】1つのメインCPU1が複数のサブCPU 2 a, 2 bをボーリングすることによりデュアルポートRAM 3 a, 3 bを介してCPU間通信を行うシステムにおいて、効率的な通信を可能としたボーリング間隔決定方式を提供する。

【構成】各サブCPU 2 a, 2 bからのデータ送信要求の発生回数を記憶するテーブル6と、このテーブル6を参照することによりデータ送信要求の発生回数が多いサブCPUへのボーリング間隔を短くするようにボーリング間隔を設定するボーリング間隔変更手段をメインCPU 1側に設けた。

【効果】各サブCPUの送信要求の発生頻度に従って、メインCPUがサブCPUを参照するボーリング間隔を決定できるため、効率の良いデータ送受信を行うことができ、システム全体としてのスループットが向上するという効果がある。



## 【特許請求の範囲】

【請求項1】 1つのメインCPUが複数のサブCPUをポーリングすることによりデュアルポートRAMを介してCPU間通信を行うシステムにおいて、各サブCPUからのデータ送信要求の発生回数を記憶するテーブルと、このテーブルを参照することによりデータ送信要求の発生回数が多いサブCPUへのポーリング間隔を短くするようにポーリング間隔を設定するポーリング間隔変更手段をメインCPU側に設けたことを特徴とするポーリング間隔決定方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、1つのメインCPUユニットと、複数のサブCPUユニットがデュアルポートRAMとポーリングを利用してCPU間通信を実行するシステムにおけるポーリング間隔決定方式に関するものである。

## 【0002】

【従来の技術】 従来、2つのCPUの間でデュアルポートRAMを介して通信を行うシステムが知られている。このようなシステムにおいて、割込信号の無いハードウェアでは、デュアルポートRAM上に送受信要求用のフラグ領域を設け、両方のCPUは、そのフラグ領域を確認しながら通信を行う。1つのメインCPUユニットと複数のサブCPUユニットが通信する場合、サブCPU側はメインCPU側へデータを送信する際に、デュアルポートRAM上に送信要求フラグを立てる。メインCPU側は一定周期でこの送信要求フラグをチェックし、送信要求フラグの立っているサブCPU側からデータを受信する。

【0003】 図3は割込信号が無い場合のデュアルポートRAM通信方式の説明図である。まず、サブCPU2bからの送信要求が無い場合、デュアルポートRAM3b上の送信要求フラグ領域8bには、送信完了（送信要求無し）を示すコマンド”F”が書き込まれている。次に、サブCPU2aからメインCPU1へ送信したいデータがある場合には、サブCPU2aは送信要求フラグ領域8aに送信要求を示すコマンド”Q”を書き込む。メインCPU1は、常時、一定時間間隔でデュアルポートRAM8a、8b上の送信要求フラグ領域をI/Oバス5を介して読み込み、コマンド”F”が書き込まれている場合には、そのまま一定時間後に次のデュアルポートRAMの送信要求フラグ領域を読み込む。また、コマンド”Q”が書き込まれている場合には、デュアルポートRAM上のデータを読み込む処理を実行してから、一定時間が経過した後に、次のデュアルポートRAMの送信要求フラグ領域を読み込む。

## 【0004】

【発明が解決しようとする課題】 このように、割込信号の無いハードウェアにおいて、メインCPUとサブCPU

Uの2つのCPU間でデュアルポートRAM通信を行うシステムでは、メインCPUは常時サブCPUからの送信要求の有無を監視する必要がある。このデュアルポートRAM通信方式を用いた監視制御システムの構成例を図4に示す。メインCPU1はホストコンピュータ9と通信するための第1のデュアルポートRAM3aと、監視制御システムと通信するための第2のデュアルポートRAM3bに接続されている。第1のデュアルポートRAM3aは、ホストコンピュータ9との通信用のRS-232Cインターフェイス10に内蔵されたサブCPU2aに接続されている。RS-232Cインターフェイス10は、ホストコンピュータ9からスケジュールデータや状態要求データ、制御データなどを受信するものである。第2のデュアルポートRAM3bは、監視制御システムの親局11に内蔵されたサブCPU2bに接続されている。監視制御システムの親局11は、複数の子局12、13、14、15、…から状態変化通知データや緊急通知データを受信するものである。第1のデュアルポートRAM3aと第2のデュアルポートRAM3bが取り扱うデータ量を比較すると、スケジュールデータは一日に一回しか送信されないのに対し、状態変化通知は一定周期（数分間）間隔で送信されて来る。したがって、2つのデュアルポートRAM3a、3b間で、通信データの量が全く異なり、RS-232Cインターフェイス10のサブCPU2aとは少量のデータの通信を行い、監視制御システムのサブCPU2bとは多量のデータの通信を行うことになる。このような場合、一定間隔の周期でポーリングを行っていると、送信データの量が多い方のサブCPU2bについては、全データの送信がなかなか終了せず、送信用バッファにデータが溜まってしまおうという現象が起り、システム全体としてのスループットも向上しない。

【0005】 本発明は上述のような点に鑑みてなされたものであり、その目的とするところは、1つのメインCPUと複数のサブCPUの間でデュアルポートRAMを介して通信を行うシステムにおいて、各サブCPUの通信頻度に応じて各サブCPUへのポーリング間隔を一定時間毎にダイナミックに変更することにより効率的な通信を可能としたポーリング間隔決定方式を提供することにある。

## 【0006】

【課題を解決するための手段】 本発明のポーリング間隔決定方式は、前記の課題を解決するために、図1に示すように、1つのメインCPU1が複数のサブCPU2a、2bをポーリングすることによりデュアルポートRAM3a、3bを介してCPU間通信を行うシステムにおいて、各サブCPU2a、2bからのデータ送信要求の発生回数を記憶するテーブル6と、このテーブル6を参照することによりデータ送信要求の発生回数が多いサブCPUへのポーリング間隔を短くするようにポーリン

グ間隔を設定するポーリング間隔変更手段をメインCPU 1側に設けたことを特徴とするものである。

【0007】

【作用】図1のシステムにおいて、サブCPU 2aのアクセス回数が少なく、サブCPU 2bのアクセス回が多い場合に、メインCPU 1からサブCPU 2a、2bを同じ間隔でポーリングすると、全データ処理完了時間は図2(A)に示すようになる。図中、TaはサブCPU 2aのデータ受信時間、TbはサブCPU 2bのデータ受信時間であり、Toは送信要求が無いことを示している。この例では、サブCPU 2aから2回データを受信し、サブCPU 2bから5回データを受信している。このような場合、アクセス回数の多いサブCPU 2bのポーリング間隔を短くすると、同じデータを受信するのに要する全データ処理完了時間は、図2(B)に示すように短くなる。これにより、一定時間内にメインCPU 1が受信できるデータ量が増えて、スループットも向上する。

【0008】

【実施例】以下、本発明の一実施例を図を用いて説明する。本発明のポーリング間隔決定方式は、図1に示すように、メインCPU 1と、複数のサブCPU 2a、2bと、複数のデュアルポートRAM 3a、3bと、サブCPUのアクセス回数テーブル6と、ポーリング間隔テーブル7を備えている。メインCPU 1は、一定時間間隔で各サブCPU 2a、2bのデュアルポートRAM 3a、3b上の送信要求フラグ8a、8bをチェックしている。サブCPU 2a、2bからの送信要求があり、そのデータを受信する度に、メインCPU 1は、サブCPUのアクセス回数テーブル6における該当するサブCPUのアクセス回数をインクリメントする。アクセス回数テーブル6は、サブCPU 2a、2b、…を備えるサブユニット4a、4b、…の番号と、そのサブユニットに対するアクセス回数を対応させて記憶している。メインCPU 1はこのアクセス回数テーブル6を一定時間間隔で参照し、あるサブCPU 2a、2bのアクセス回数の

割合が一定以上のレベルに到達したら、そのサブCPU 2a、2bに対するポーリング間隔を短くするようにポーリング間隔テーブル7を変更する。ポーリング間隔テーブル7は、サブCPU 2a、2b、…を備えるサブユニット4a、4b、…の番号と、そのサブユニットに対するポーリング間隔を対応させて記憶している。メインCPU 1は一定回数のポーリング毎にポーリング間隔テーブル7を参照し、参照した値に従って、以降のポーリングを行う。すなわち、アクセス回数の多いサブCPUのポーリングは短い間隔で行い、アクセス回数の少ないサブCPUのポーリングは長い間隔で行うようになる。これにより、効率の良いデータ送受信を行うことができるものである。

【0009】

【発明の効果】本発明のポーリング間隔決定方式では、各サブCPUの送信要求の発生頻度に従って、メインCPUがサブCPUを参照するポーリング間隔を決定できるため、効率の良いデータ送受信を行うことができ、システム全体としてのスループットが向上するという効果がある。

【図面の簡単な説明】

【図1】本発明のポーリング間隔決定方式の機能説明図である。

【図2】本発明の動作説明図である。

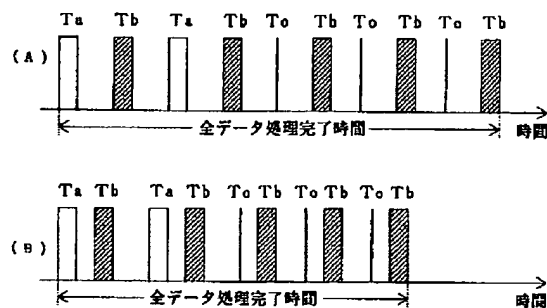
【図3】従来のデュアルポートRAM通信方式の説明図である。

【図4】従来の監視制御システムの構成例を示すブロック図である。

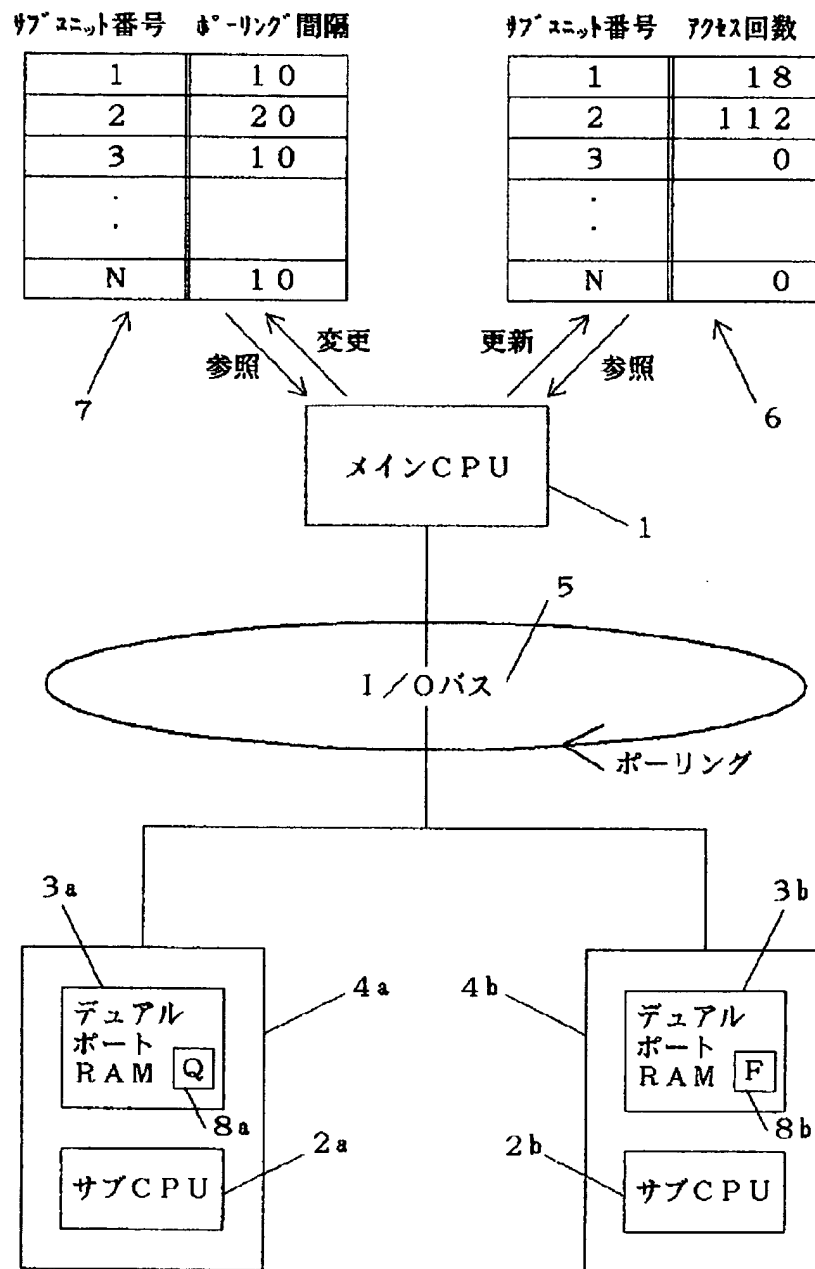
【符号の説明】

- |       |             |
|-------|-------------|
| 1     | メインCPU      |
| 2a、2b | サブCPU       |
| 3a、3b | デュアルポートRAM  |
| 4a、4b | サブユニット      |
| 5     | I/Oバス       |
| 6     | アクセス回数テーブル  |
| 7     | ポーリング間隔テーブル |

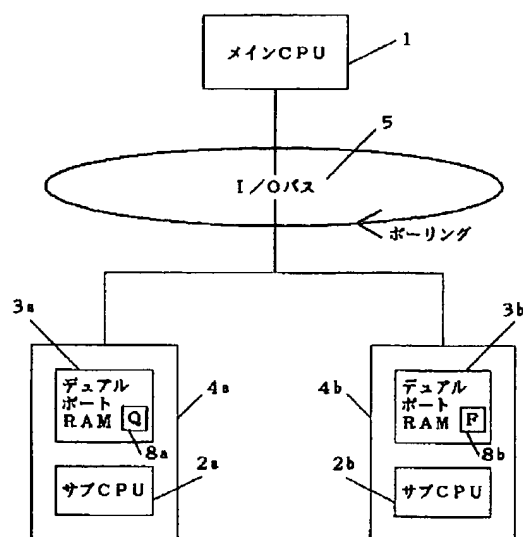
【図2】



【図1】



【図3】



【図4】

